

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-131390

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

G01R 31/28

(21)Application number : 10-308521

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 29.10.1998

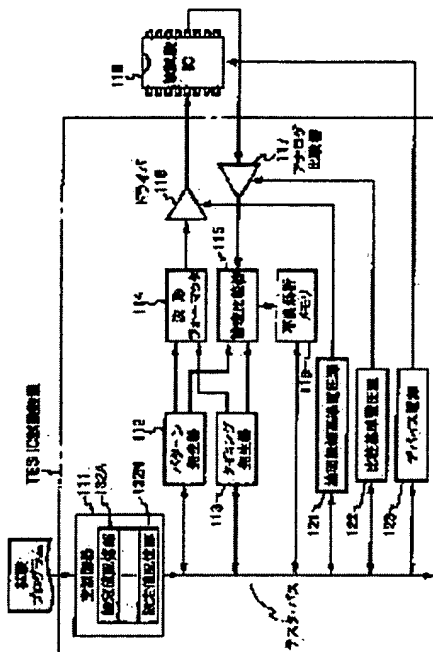
(72)Inventor : KOZUKA NORIYOSHI

(54) IC-TESTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain superior setting accuracy, while achieving high-speed processing with a binary research system by changing measured delay time in ascending or descending order, and at the same time by changing each delay time setting value in the order of the delay times.

SOLUTION: Setting value storage parts 132A-132N, corresponding to the number of test pattern generation channels, are provided in main control equipment 111. When a setting value is to be stored into the storage parts 132A-132N, delay time is first measured while each setting value is given to a variable delay device 130 of each channel. Then, the measured delay time is changed in an ascending or descending order, the array of the setting values is also changed according to the array of the changed delay time, the setting value where the array is changed is stored, and the setting value is read according to the order of the array. Since the delay time of the variable delay device 130 becomes linear, for example the delay time is stored into the storage part 132A and is read in this order, thus accurately setting a target value even with a method for determining the delay time by a binary search system.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

【特許請求の範囲】

【請求項1】 パターン発生器から出力されるパターンデータを波形フォーマットに与え、波形フォーマットにおいて実波形を持つ複数のチャンネルの試験パターン信号を生成し、この複数のチャンネルの試験パターン信号をそれぞれ可変遅延装置に供給し、この可変遅延装置において各試験パターン信号の位相を各チャンネル毎に調整し、位相が調整された複数のチャンネルの試験パターン信号を被試験ICの入力端子に入力してICの試験を行うIC試験装置において、
上記可変遅延装置の遅延時間を設定する各設定値によって設定される各遅延時間を測定し、測定された遅延時間を昇順または降順に並べ替え、並べ替えられた遅延時間に対応させて設定値も並べ替え、並べ替えした配列の設定値に従って所望の遅延時間に調整することを特徴とするIC試験装置。

【請求項2】 請求項1記載のIC試験装置において、上記パターン発生器及び波形フォーマット等の動作を制御する主制御器に試験パターン伝送系路のチャンネル数に対応した数の設定値記憶部を設け、この設定値記憶部に上記各チャンネルに設けられる可変遅延装置の遅延時間を設定するための設定値の配列を記憶させ、各チャンネル毎に設けた設定値記憶部から各チャンネルに設けた可変遅延装置に設定値を転送する構成としたことを特徴とするIC試験装置。

【請求項3】 請求項1記載のIC試験装置において、上記複数のチャンネルに設けた各可変遅延装置にそれぞれ設定値記憶部を設け、各設定値記憶部に設定値の配列を記憶させ、この設定値を主制御器から送られて来るアドレス信号によって読み出す構成としたことを特徴とするIC試験装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 この発明は例えばメモリのような半導体集積回路の良否を試験するIC試験装置に関する。

【0002】

【従来の技術】 図4にIC試験装置の概略の構成を示す。図中TESはIC試験装置の全体を示す。IC試験装置TESは主制御器111と、パターン発生器112、タイミング発生器113、波形フォーマット114、論理比較器115、ドライバ116、アナログ比較器117、不良解析メモリ118、論理振幅基準電圧源121、比較基準電圧源122、デバイス電源123等により構成される。

【0003】 主制御器111は一般にコンピュータシステムによって構成され、利用者が作成した試験プログラムに従って主にパターン発生器112とタイミング発生器113を制御し、パターン発生器112から試験パターンデータを発生させ、この試験パターンデータを波形

フォーマット114で実波形を持つ試験パターン信号に変換し、この試験パターン信号を論理振幅基準電圧源121で設定した振幅値を持った波形に電圧増幅するドライバ116を通じて被試験IC119に印加し記憶させる。

【0004】 被試験IC119から読み出した応答信号はアナログ比較器117で比較基準電圧源122から与えられる基準電圧と比較し、所定の論理レベル（H論理の電圧、L論理の電圧）を持っているか否かを判定し、所定の論理レベルを持っていると判定した信号は論理比較器115でパターン発生器112から出力される期待値と比較し、期待値と不一致が発生した場合は、その読み出したアドレスのメモリセルに不良があるものと判定し、不良発生毎に不良解析メモリ118に不良アドレスを記憶し、試験終了時点で例えば不良セルの救済が可能か否かを判定する。

【0005】 ここで、図4には被試験IC119の1つのピンに試験パターン信号を与える構成しか示していないが、現実には少なくとも被試験IC119の各入力端子（データの入力端子、入力兼出力端子の場合もある。アドレス入力端子、及び各種の制御信号の入力端子）に試験パターン信号を入力する。被試験IC119の各入力端子に与える試験パターン信号は所定の許容範囲で位相が揃っていることが要求される。

【0006】 このため、従来より主に波形フォーマット114の出力側に図5に示すように可変遅延装置130が設けられ、この可変遅延装置130によって各試験パターン信号に所望の遅延時間を与え、ドライバ116から被試験IC119に与える試験パターン信号の位相を合致させる調整を行っている。この調整を以下スキュー調整と呼ぶことにする。このスキュー調整は例えばIC試験装置を起動した時点で初期化プログラムによって実行されIC試験装置が持つ全てのチャンネルに対して施される。またスキュー調整時は各ドライバと被測定IC119との間の接続は切り離される。

【0007】 スキュー調整の方法は主制御器111に例えば8ビットのデータ幅を持つ設定値A₀～A₅₁₂を発生することができる設定値記憶部を用意し、この設定値記憶部から設定値A₀～A₅₁₂を順次各チャンネルの可変遅延装置130（図5参照）に入力する。可変遅延装置130はこの設定値によって遅延時間を制御し、各チャンネル毎に遅延時間を設定し、被試験IC119の各端子に与える信号の位相を合致させる。スキュー調整によって決定された設定値は各可変遅延装置130に付設したレジスタに蓄えられ、次のスキュー調整までその値を維持する。

【0008】 スキュー調整時に各チャンネルにおける遅延時間の測定は一般にアナログ比較器117によって行なわれる。つまり、ドライバ116から可変遅延装置130で遅延させたパルスを繰り返して出力させる。アナ

図6比較器117にはストロブパルスSTBが基準タイミング毎に繰り返し印加される。ストロブパルスSTBの印加タイミングにおいてアナログ比較器117の出力側に検出される電圧値がL論理である場合は可変遅延装置130の遅延時間が長すぎることが解る。従ってアナログ比較器117の出力がL論理の場合は可変遅延装置130の遅延時間を短くする。可変遅延装置130の遅延時間を短くしたとき、アナログ比較器117の出力がH論理に反転したとすると、その中間の遅延時間がストロブパルスSTBのタイミングに合致するタイミングとすることができる。この遅延時間に可変遅延装置130の遅延時間を設定することによりスキュー調整が完了する。このスキュー調整は1チャンネルずつ行われる。

【0009】可変遅延装置130の遅延時間を決定する方法にはシリアルサーチ方式とバイナリサーチ方式とがある。シリアルサーチ方式とは図6に示すように、主制御器111に用意した設定値記憶部から設定値 $A_0 \sim A_{512}$ を順次 $A_0, A_1, A_2, A_3 \dots$ の順にDA変換器131に送り込み、その設定値 $A_0, A_1, A_2 \dots$ によって可変遅延装置130の遅延時間を漸次例えば遅れ方向に変化させ、ストロブパルスSTBが印加されるタイミング、つまり設定したいタイミング T_0 に合致した時点でドライバ116が出力する駆動パルスRXの立上りが検出されることによりそのチャンネルの遅延時間を決定する方式である。

【0010】バイナリサーチ方式とは図7に示すように先ず初回の設定値を設定値 $A_0 \sim A_{512}$ の中央値 A_{255} に設定し、その設定状態でドライバ116が出力する駆動パルスRXの有無をアナログ比較器117で測定する。この測定はアナログ比較器117の出力電圧がL論理であれば駆動パルスRXの入来が無であり、H論理であれば駆動パルスRXの入来が有であると測定する。この測定により、設定値 A_{255} で設定した遅延時間では駆動パルスRXの入来が有であり、駆動パルスRXが早く入来していると判定し、設定値を増加方向に制御し、可変遅延装置130の遅延時間を遅れ方向に制御する。このため主制御器111は設定値 A_{255} と設定値の最大値 A_{512} との中間値 A_{382} を可変遅延装置130に送り込む。この設定状態で再びアナログ比較器117の出力がL論理とH論理の中間の電圧になっているかを計測する。図7に示す例では設定値 A_{382} を設定した場合はアナログ比較器117はL論理を出力するから可変遅延装置130の遅延時間は設定したいタイミング T_0 より遅れ過ぎていると判定される。従って主制御器111は再び設定値を減少方向に変化させ、 A_{382} と A_{255} との間の半値 A_{318} を選択して可変遅延装置130に送り込む。このように半値ずつ設定値を変化させて設定したいタイミング T_0 に合わせ込む方式である。

【0011】シリアルサーチ方式では設定値を+1ずつ

増加方向に変化させて設定したいタイミング T_0 を検出するから、最悪条件で上述の例では512ステップの設定値の変更を実行しなければならない。これに対し、バイナリサーチ方式では比較的少ないステップ数で目標値を検出することができる。スキュー調整を短時間で済ませるためにはバイナリサーチ方式が優れている。

【0012】

【発明が解決しようとする課題】ところで、設定値は例えば0～512までの間を+1ずつ増加する数値の配列であるのに対し、可変遅延装置130の遅延時間は比例関係を保って変化するとは限らない。例えば或るチャンネルに装着した可変遅延装置130が図8に示すような非線形特性を持っている場合、シリアルサーチ方式によれば設定値を A_0, A_1, A_2, A_3 まで可変遅延装置130に送り込めば設定したいタイミング、この例では6PSに設定することができる。

【0013】これに対し図8に示す状況下においてバイナリサーチ方式を適用した場合には初回は設定値の中間値 A_4 が選択されて可変遅延装置130に入力され、この設定状態では遅延時間は4PSとなるから設定したいタイミングこの例では6PSとの間で遅延時間が不足しているから、設定値を増加させる方向に半値分変化させる。従って設定値を+2増加させて設定値 A_6 を選択させ可変遅延装置130に入力される。設定値 A_6 が可変遅延装置130に設定されると、その設定状態では可変遅延装置130の遅延時間は設定したいタイミング T_0 よりオーバーしているから、その遅延時間を減少方向に変化させるために先の設定値 A_4 との間の半値である設定値 A_5 を選択してバイナリサーチは終了される。

【0014】このようにバイナリサーチは高速処理には適しているものの、設定値と遅延時間の間の関係が非直線である場合に、設定誤差が発生し、この設定誤差により試験精度が低下する欠点がある。この発明の目的はバイナリサーチ方式により高速処理を実現しながら、然も設定精度を高く得ることができるスキュー調整機能を具備したIC試験装置を提供しようとするものである。

【0015】

【課題を解決するための手段】この発明は予め用意した設定値によって可変遅延装置の遅延時間を設定し、この遅延時間の設定によって被試験ICに与える試験パターン信号の位相を揃えるスキュー調整を行うIC試験装置において、上記可変遅延装置に各設定値を設定した状態の各遅延時間を測定し、測定された遅延時間を昇順または降順に並べ替えると共に、並べ替えられた各遅延時間に対応する設定値も上記遅延時間の順序に従って並べ替え、この並べ替えられた設定値の配列を使用してバイナリサーチ方式により上記可変遅延装置の遅延時間を制御する構成としたIC試験装置を提案するものである。

【0016】この発明によるIC試験装置によれば、可変遅延装置に遅延時間を設定する設定値の配列は、実際

の遅延時間の配列を昇順または降順に並べ替えた配列に
対する。従って、バイナリサーチ方式によって遅延時
間を決定する制御方式に適用しても、短時間に正確なス
キュー調整を実現することができる。並べ替えた設定
値を記憶する設定値記憶部は主制御器に設ける場合と、
各チャンネルに設ける構成が考えられる。

【0017】

【発明の実施の形態】図1にこの発明によるIC試験装
置の一実施例を示す。この実施例では主制御器111に
試験パターン発生チャンネルの数に対応した数の設定値
記憶部132A～132Nを設けた場合を示す。各設定
値記憶部132A～132Nに記憶する設定値は各設定
値を各チャンネルの変遅延装置130に与えた状態で
遅延時間を測定し、その測定された遅延時間を昇順又は
降順に並べ替えし、その並べ替えた遅延時間の配列に
従って設定値も配列を変更し、その配列を変更した設定
値を記憶させ、その配列の順序に従って設定値を読み出
す構成としたものである。

【0018】設定値の配列の変更方法を以下に説明す
る。設定値と遅延時間の間の非線形特性の例として図8
を用いる。図8に示した例を設定値と遅延時間の関係を
表1に示す。

表1

設定値	遅延時間 (PS)
A ₀	0
A ₁	2
A ₂	5
A ₃	6
A ₄	3
A ₅	4
A ₆	7
A ₇	8

遅延時間を例えば昇順に並べ替えし、この並べ替えに従
って設定値も並べ替えた結果を表2に示す。

【0019】

表2

設定値	遅延時間 (PS)
A ₀	0
A ₁	2
A ₄	3
A ₅	4
A ₂	5
A ₃	6
A ₆	7
A ₇	8

表2に示した設定値の配列によれば可変遅延装置130
の遅延時間は図2に示すように直線特性となる。従っ
て、表2に示した設定値の配列A₀, A₁, A₄,
A₅, A₂, A₃, A₆, A₇を設定値記憶部、例えば
132Aに記憶させこの順序で読み出すことにより、こ

のチャンネルの可変遅延装置130の遅延時間は直線化
されて制御される。この結果バイナリサーチ方式によっ
て遅延時間を決定する方法を採っても正確に目標値に設
定することができる。

【0020】表2及び図2に示す設定値の配列を使っ
て可変遅延装置の遅延時間をバイナリサーチ方式によっ
て例えば6PSに校正する場合、初回の設定は遅延時間の
全範囲0～8PSの中央値4PSを与える設定値A₅を
選択して主制御器111から可変遅延装置130に送り
込まれる。設定値A₅により可変遅延装置130の遅延
時間が4PSに設定されると、設定したいタイミングは
6PSであるから、アナログ比較器117はH論理を出
力し続ける。従ってバイナリサーチ方式では遅延時間を
増加方向に制御する。つまり、現在設定している設定値
と最大値を持つ設定値A₇との間の中間にある設定値に
変更する。従ってこの場合には設定値A₃が選択されて
主制御器111から可変遅延装置130に送られ、可変
遅延装置130の遅延時間を設定値A₃で決まる6PS
に設定する。この例では2回目の設定値の転送により可
変遅延装置130の遅延時間を目標値に設定することが
できる。この設定値は目標値と一致し、誤差の発生を抑
えることができる。

【0021】主制御器111に設けた各設定値記憶部1
32A～132Nには各チャンネルに設けた可変遅延装
置130の遅延特性（設定値に対する遅延時間の変化す
る特性）に従って並べ替えされた設定値の配列を記憶さ
せ、各配列に従って可変遅延装置130を制御する。図
3は設定値記憶部132A～132Nを各チャンネルに
設けた可変遅延装置130に付設した実施例を示す。こ
の場合には主制御器111からは例えば昇順に配列され
た設定値（アドレス信号として作用する）を出力し、こ
の設定値を各設定値記憶部132A～132Nに入力
し、昇順に配列された設定値を各設定値記憶部132A
～132Nに記憶した設定値の配列順序に変換して読み
出すように構成される。この構成によっても上述と同様
の作用効果を得ることができる。

【0022】

【発明の効果】以上説明したように、この発明によれば
高速処理が可能なバイナリサーチ方式により各チャン
ネルに設けた可変遅延装置130の遅延時間を校正し、ス
キュー調整を行っても、各可変遅延装置130の遅延時
間を精度よく設定することができる。

【0023】従ってこの発明によればスキュー調整に関
して高速化と高精度化の双方を実現することができる利
点が得られる。

【図面の簡単な説明】

【図1】この発明によるIC試験装置の一実施例を説明
するためのブロック図。

【図2】この発明の要部の動作を説明するためのグラ
フ。

【図3】この発明の変形実施例を説明するためのブロック図。

【図4】従来のIC試験装置の構成を説明するためのブロック図。

【図5】従来のスキュー調整の方法を説明するためのブロック図。

【図6】スキュー調整に用いられているシリアルサーチを説明するための図。

【図7】スキュー調整に用いられているバイナリサーチを説明するための図。

【図8】従来のスキュー調整の欠点を説明するためのグラフ。

【符号の説明】

- 111 主制御器
- 114 波形フォーマッタ
- 116 ドライバ
- 117 アナログ比較器
- 119 被試験IC
- 130 可変遅延装置
- 132A～132N 設定値記憶部

【図1】

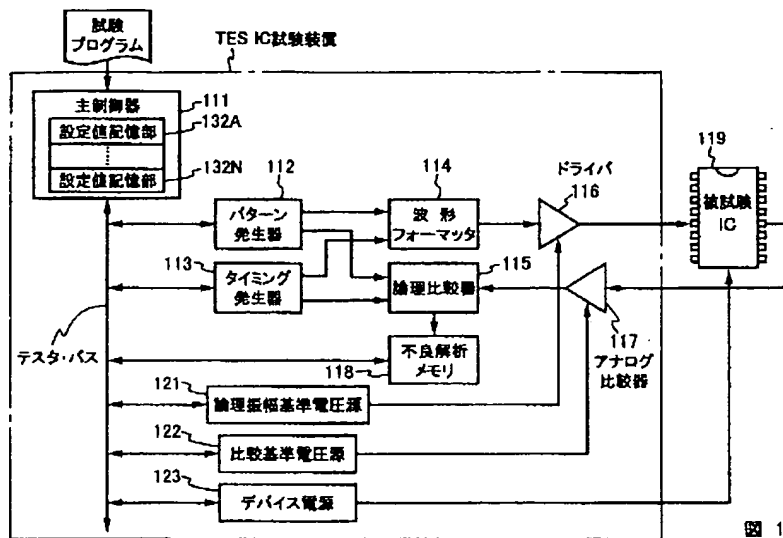


図 1

【図2】

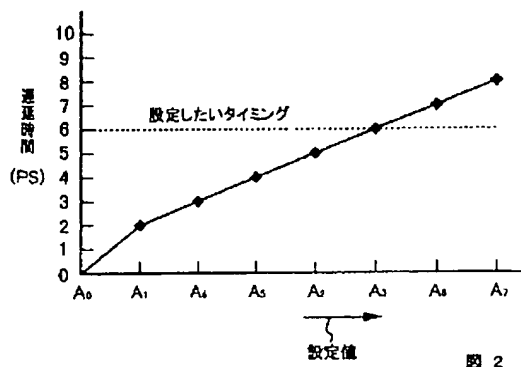


図 2

【図5】

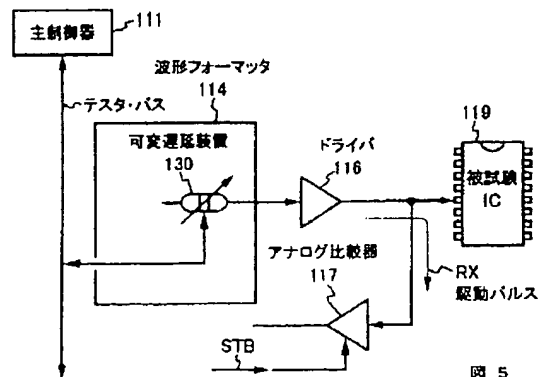


図 5

【図3】

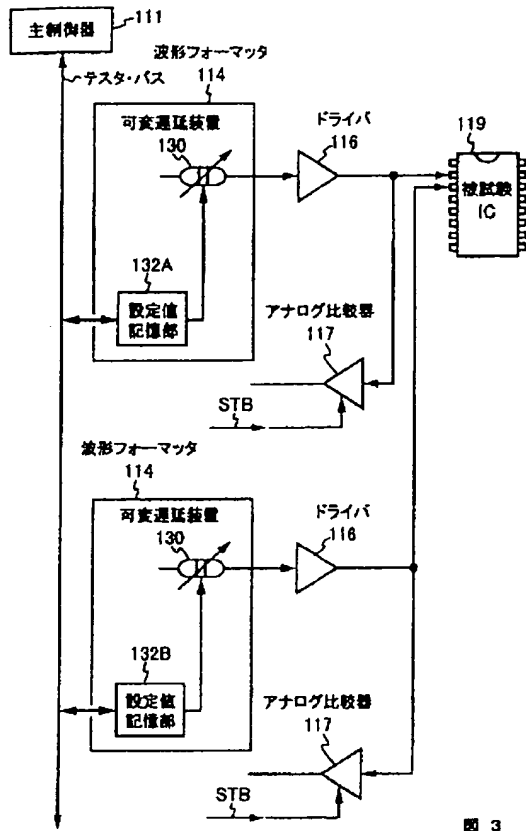
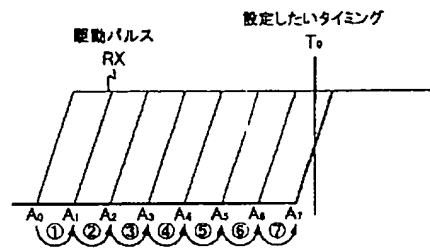


図 3

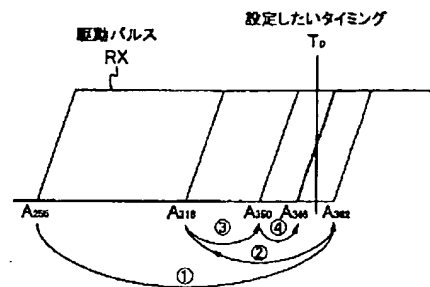
【図6】



シリアルサーチ方式

図 6

【図7】



バイナリサーチ方式

図 7

【図4】

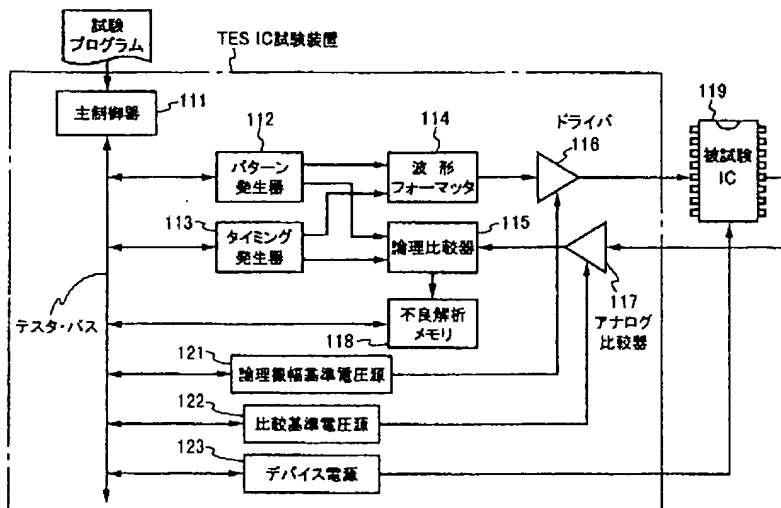


図 4

【図8】

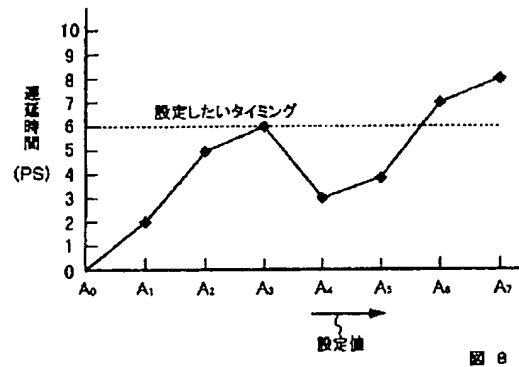


図 8